



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ **Offenlegungsschrift**
⑩ **DE 197 45 678 A 1**

⑤1 Int. Cl.⁶:
H 05 K 7/14

②1 Aktenzeichen: 197 45 678.2
②2 Anmeldetag: 7. 10. 97
④3 Offenlegungstag: 8. 4. 99

DE 197 45 678 A 1

⑦1 Anmelder:
Optosys GmbH Berlin, 12681 Berlin, DE

⑦4 Vertreter:
Riemann, B., Pat.-Ing. Dipl.-Ing. (FH), Pat.-Anw.,
13127 Berlin

⑦2 Erfinder:
Kannis, Jörg, Dipl.-Ing., 12627 Berlin, DE; Möller,
Benno, Dipl.-Ing., 10439 Berlin, DE; Prietzsch,
Dieter, Dipl.-Ing., 12559 Berlin, DE; Fischer,
Hans-Peter, 12683 Berlin, DE; Milstrey, Michael,
12679 Berlin, DE

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

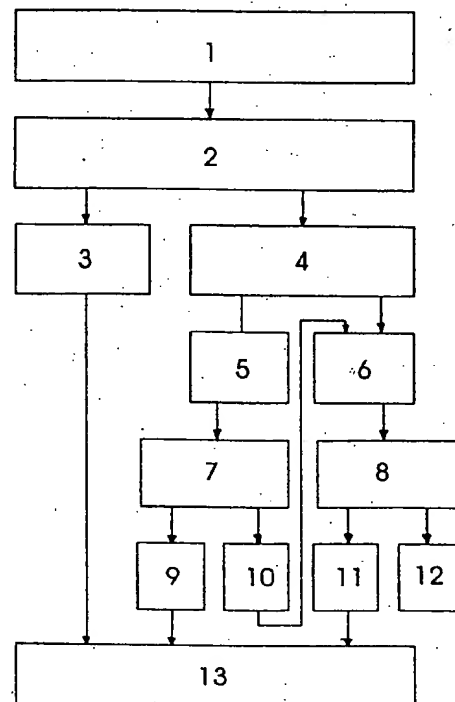
⑤4 Verfahren zur Fertigung von Multi-Chip-Modulen in COB-Bauweise, insbesondere von Speichermodulen auf Leiterplattenboards

⑤7 Multi-Chip-Module in COB-Bauweise sind beispielsweise in Form von Speichermodulen als dynamische RAM-Bausteine für Personalcomputer, Notebooks und Laptops einsetzbar.

Aufgabe der Erfindung ist es, das Verfahren zur Fertigung von Multi-Chip-Modulen in COB-Bauweise so weiter zu entwickeln, daß fehlerbehaftete Module erkannt und deren Fehler durch Einwirkung auf die Struktur des Chips beseitigt werden, ohne daß hierbei der defekte Chip durch einen neuen Chip ersetzt werden muß.

Diese Aufgabe wird bei einem Verfahren der gattungsgemäßen Art im wesentlichen dadurch gelöst, daß die Module einem "burn in" Verfahrensschritt (1) unterzogen werden und daß nach dem "burn in" Schritt die Module auf mögliche Defekte geprüft, die Defekte lokalisiert und zur Verfügung stehende Redundanzen aktiviert werden. Die Aktivierung der defekten Zellen erfolgt vorzugsweise durch Laserfusing (5). In einem nach dem "burn in" Schritt durchgeführten Funktionstest (2) werden die Module hinsichtlich aufgetretener Defekte geprüft.

Die Zeichnung veranschaulicht den Fertigungsprozeß in einem Blockschaltbild.



DE 197 45 678 A 1

Die Erfindung betrifft ein Verfahren zur Fertigung von Multi-Chip-Modulen in COB-Bauweise, insbesondere von Speichermodulen in COB-Bauweise auf Leiterplattenboards, die besonders für Produkte der Kommunikationstechnik anwendbar sind. Diese Speichermodule sind beispielsweise einsetzbar als dynamische RAM-Bausteine für Personalcomputer, Notebooks und Laptops.

Bei der Fertigung von Speichermodulen wurden bisher defekte Nackchips (die's) manuell aussortiert und je nach Anforderung für andere Einsatzfälle verwendet. Mit zunehmender Erhöhung der Bestückung der Leiterplattenboards einerseits sowie der Erhöhung der Speicherkapazität der einzelnen Chips andererseits kam es darauf an, den defekten Chip vom Leiterplattenboard zu lösen und durch einen funktionsfähigen Chip zu ersetzen und damit das Leiterplattenboard mit den auf ihm montierten Chips weiter nutzen zu können.

Durch die DE 197 29 929 A1 wurde eine Vorrichtung zum Entfernen defekter Nackchips vom Leiterplattenboard, insbesondere von einem Speichermodul für einen dynamischen RAM-Baustein in COB-Bauweise bekannt. Diese Vorrichtung umfaßt einen Grundkörper, der mit einer wärmeabgebenden Grundfläche an seiner Unterseite versehen ist, wobei an der Unterseite noch eine Anschlagkante angeordnet ist. Ferner ist der Grundfläche ein Mittel zur Relativbewegung zugeordnet. Mit dieser Vorrichtung können defekte Nackchips rationell und zuverlässig unter weitgehender Mechanisierung entfernt werden.

Zweck der Erfindung ist es, die Produktivität und Effektivität der Fertigung von Multi-Chip-Modulen, insbesondere von Speichermodulen zu erhöhen.

Der Erfindung liegt die Aufgabe zugrunde, das Verfahren zur Fertigung von Multi-Chip-Modulen in COB-Bauweise, insbesondere zur Fertigung von Speichermodulen so weiter zu entwickeln, daß fehlerbehaftete Module erkannt und klassifiziert sowie deren Fehler durch Einwirkung auf die Struktur des Chips beseitigt werden, ohne daß hierbei der defekte Chip durch einen neuen Chip ersetzt werden muß.

Diese Aufgabe wird bei einem Verfahren der gattungsgemäßen Art dadurch gelöst, daß die Module einem "burn in" Schritt unterzogen werden und daß nach dem "burn in" Verfahrensschritt die Chips auf mögliche Defekte geprüft, die Defekte lokalisiert und auf dem Chip zur Verfügung stehende Redundanzen aktiviert werden.

Zur Erhöhung der Zuverlässigkeit der nach der COB-Technologie bereitgestellten Multi-Chip-Module, insbesondere der Speichermodule werden diese einem künstlichen Alterungsprozeß in Form eines "burn in" Schrittes unterzogen. Es hat sich gezeigt, daß bei der Fertigung von Speichermodulen nach der COB-Technologie insbesondere der "burn in" Schritt im Vergleich zu anderen Verfahrensschritten die Chips am stärksten belastet, so daß auch hier eine relative Häufung von Defekten in Gestalt fehlerhafter Zellen auftritt. Mit dieser Belastung beim "burn in" Schritt sollen potentielle Frühausfälle zum Ausfall gezwungen werden. Die Erkennung der fehlerhaften Zellen erfolgt durch einen speziellen Funktionstest nach dem "burn in" Schritt. Über diesen speziellen Funktionstest werden gezielte Informationen über den Zustand des Chips erhalten. Anhand des Fehlerbildes des Testergebnisses wird über den Einsatz redundanter Zellen entschieden.

In allen Speicherchips sind durch die Fertigung im Waferprozeß redundante Einheiten in Form von Zellen, Reihen und Spalten vorhanden. Üblicherweise werden Spalten und Reihen zugeschaltet. Bei dem durchzuführenden Funktionstest werden die fehlerhaften Zellen lokalisiert. Die Aktivie-

rung der freien Redundanzen erfolgt vorzugsweise durch Laserfusing. Hierbei handelt es sich um die Unterbrechung von dafür vorgesehenen elektrischen Verbindungen auf dem fehlerbehafteten Chip durch einen Laserimpuls. Bei diesem Schritt wird chipintern sichergestellt, daß mit Abschaltung von defekten Zellen redundante Zellen zugeschaltet werden. Die Aktivierung der freien Redundanzen hat somit zur Folge, daß das ursprünglich fehlerhafte Chip wieder voll funktionsfähig ist. Damit ist ein Austausch des ursprünglich fehlerbehafteten Chips nicht mehr nötig. Das Laserfusing bietet derzeit eine Möglichkeit, eine bestimmte Kategorie defekter Chips zu reparieren und damit den Austausch des defekten Chips zu vermeiden. Ein wesentlicher Vorteil dieses Verfahrens besteht somit darin, daß die Chipausbeute wesentlich erhöht wird, da die bisher nicht mehr verwendbaren Chips durch die Aktivierung redundanter Einheiten wieder voll funktionstüchtig sind. Sowohl bei einer hohen Packungsdichte auf dem Leiterplattenboard als auch mit zunehmender Kapazitätsgröße der Chips wird durch diese Maßnahme die Produktivität und die Effektivität des Fertigungsprozesses von Speichermodulen wesentlich erhöht.

Darüber hinaus unterstützt diese Technologie die Bestrebungen zum sparsamen Umgang mit den zur Verfügung stehenden Ressourcen und leistet damit auch einen Beitrag zur Senkung der Umweltbelastung.

Zur Durchführung des Laserfusing sind eine Reihe von Informationen notwendig, die vom Waferproduzenten bereitzustellen sind. Darüber hinaus erfordert das Verfahren auch die Einhaltung bestimmter Voraussetzungen. So müssen die Fuses der Chips senkrecht von oben zugänglich sein. Das heißt, dieser Prozeßschritt muß an bereits montierten und noch unverkappten Chips erfolgen. Dabei wird zweckmäßigerweise das Laserfusing nach dem "burn in" Schritt durchgeführt, da wie bereits ausgeführt, in diesem die Chips belastbaren Verfahrensschritt eine relative Häufung von Defekten auftritt. Wichtig ist auch, daß die Fuses nicht durch die Bonddrähte abgeschattet werden dürfen.

Die Lagetoleranzen der Chips auf dem Substrat müssen in allen drei Dimensionen mittels geeigneter Lageerfassungssysteme ausgeglichen werden.

Darüber hinaus können für die Zuschaltung redundanter Zellen alle vom Halbleiterhersteller geeigneten Verfahren zum nichtflüchtigen Informationserhalt eingesetzt werden.

Die Erfindung ist nachfolgend anhand der Zeichnung im Prinzip beispielshalber noch näher erläutert.

Die Zeichnung veranschaulicht die wesentlichen neuen Verfahrensstufen des Fertigungsprozesses eines Speichermoduls.

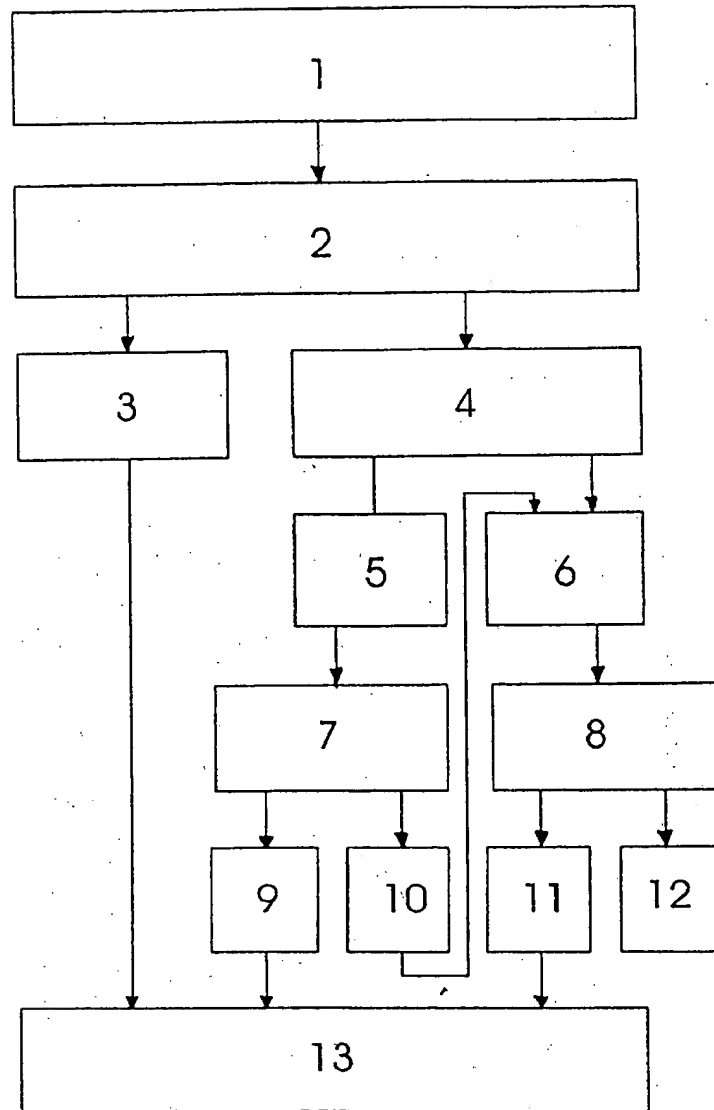
Die Chips werden nach der bekannten Technologie auf dem Board durch eine Klebeverbindung fixiert, anschließend erfolgt eine Aushärtung dieser Klebeverbindung. Danach erfolgt das Legen der Bondverbindungen. Nunmehr werden die Module im unverkappten Zustand einem "burn in" Verfahrensschritt 1 ausgesetzt. Dieser "burn in" Schritt 1 stellt für die auf dem Modul angeordneten Chips eine hohe Belastung dar, so daß im Ergebnis dieses Belastungstests die Frühausfälle sich heraus kristallisieren. Bei dem sich anschließenden Funktionstest 2 werden die Module mit den funktionsfähigen Chips von den Modulen mit defekten Chips getrennt, wobei in diesem Funktionstest 2 auch bereits eine Fehlerlokalisierung im Sinne einer Fehlereingrenzung erfolgt. Die Module mit den funktionsfähigen Chips gelangen über eine Zwischenstufe 3 zur anschließenden Verkappung/Umhüllung 13. Die übrigen Module, bei denen defekte Chips bei dem Funktionstest 2 ermittelt wurden, gelangen zu einer Sammelstelle 4. In dieser Sammelstelle 4 erfolgt wiederum ausgehend von dem Ergebnis des Funktionstests 2 eine Klassifizierung der Chips in "reparable" und

in "unreparable" Chips. Bei den Modulen, bei denen defekte aber "reparable" Chips ermittelt wurden, erfolgt in einer nächsten Stufe mittels Laserfusing 5 eine Aktivierung redundanter Zellen auf dem Modullevel. Parallel zur Abschaltung defekter Zellen werden vorhandene freie redundante Zellen aktiviert und damit die volle Funktionsfähigkeit des Chips wieder hergestellt. Danach erfolgt in einem nächsten Verfahrensschritt ein weiterer Funktionstest 7 zur Überprüfung der vollen Funktionsfähigkeit des Chips nach dem Laserfusing. Im Ergebnis dieses Funktionstestes 7 gibt es grundsätzlich für das Modul zwei Möglichkeiten. Zum einen kann der Defekt durch das Laserfusing 5 behoben sein, dann gelangt das Modul in einem weiteren Verfahrensschritt zu einer Zwischenstufe 9, von der es weiter zur Endstufe der Verkappung 13 des Chips geführt wird. Der zweite Weg umfaßt die Module mit den Chips, bei denen nach dem zweiten Funktionstest 7 noch Fehler festgestellt wurden. Das Modul mit den fehlerbehafteten Chips wird in einer Ablage 10 gesammelt und dann der Chipaustauschstation 6 zugeführt. In diesem Verfahrensschritt erfolgt mittels einer speziellen Technologie eine Entnahme des defekten Chips und ein Ersatz durch einen neuwertigen Chip.

In der Sammelstelle 4 sind gleichfalls Module mit defekten Chips vorhanden, die im Ergebnis des ersten Funktionstests 2 als "unreparable" klassifiziert wurden. Diese Module werden gleichfalls der Chipaustauschstation 6 zugeführt. Nach einer speziellen Technologie erfolgt der Austausch des defekten Chips durch einen vollwertigen neuen Chip. Das Modul wird nunmehr in einem nächsten Verfahrensschritt einem weiteren Funktionstest 8 unterzogen. Nach dem erneuten Funktionstest 8 gelangen die "perfekten" Module in die Zwischenstufe 11, von der sie zur anschließenden Verkappung 13 der Chips geführt werden. Die bei dem letzten Funktionstest 8 ermittelten Module mit fehlerbehafteten Chips gelangen zur Ablage 12.

Patentansprüche

1. Verfahren zur Fertigung von Multi-Chip-Modulen in COB-Bauweise, insbesondere von Speichermodulen auf Leiterplattenboards, bei dem die Chips auf dem Leiterplattenboard positioniert und mittels Kleber fixiert, die Klebeverbindung ausgehärtet und die Bondverbindungen hergestellt sind, **dadurch gekennzeichnet**, daß die Module einem "burn in" Verfahrensschritt (1) unterzogen werden und daß nach dem "burn in" Verfahrensschritt (1) redundante Zeilen auf dem Modullevel aktiviert werden.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß die Aktivierung der defekten Zellen durch Laserfusing (5) erfolgt.
3. Verfahren nach Anspruch 1 und 2, dadurch gekennzeichnet, daß ein Funktionstest (2) nach dem "burn in" Verfahrensschritt (1) durchgeführt wird.
4. Verfahren nach Ansprüchen 1 bis 3, dadurch gekennzeichnet, daß die Module im unverkappten Zustand dem "burn in" Verfahrensschritt (1) unterzogen werden.
5. Verfahren nach einem oder mehreren der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß nach dem Ersetzen fehlerhafter Zellen ein weiterer Funktionstest (7) durchgeführt wird.
6. Verfahren nach einem oder mehreren der Ansprüche 1 bis 5, dadurch gekennzeichnet, daß dem Funktionstest (2; 7) eine Chipaustauschstation (6) zugeordnet ist.



Manufacture of multi integrated circuit chip modules in COB (Chip On Board) form

Patent Number: DE19745678

Publication date: 1999-04-08

Inventor(s): KANNIS JOERG DIPL ING (DE); PRIETZSCH DIETER DIPL ING (DE); FISCHER HANS-PETER (DE); MILSTREY MICHAEL (DE); MOELLER BENNO DIPL ING (DE)

Applicant(s): OPTOSYS GMBH BERLIN (DE)

Requested

Patent: ☐ DE19745678

Application

Number: DE19971045678 19971007

Priority Number

(s): DE19971045678 19971007

IPC

Classification: H05K7/14

EC

Classification: G01R31/3185M, H01L21/66P2

Equivalents:

Abstract

The manufacture of multi chip modules in a COB form is used for circuit boards and in particular memory modules. The chips are positioned on the boards and are secured with adhesive subjected to a hardening process. A burn in process is then carried out (1) and tests made (2) to identify defective chips. The chips are then classified as either being repairable or not. Chips are activated by laser fusion.